

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-205198
 (43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H04B 3/10
 H04B 7/005
 H04L 7/02
 H04L 7/10

(21)Application number : 10-008486

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 20.01.1998

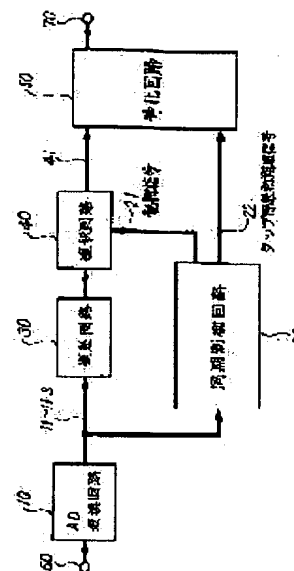
(72)Inventor : MUNEDA SATOSHI
 UENO SHIYUUTA
 MATSUE HIDEAKI

(54) ADAPTIVE EQUALIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent degradation of characteristics caused by clock timing errors and frame timing errors by performing adaptive equalization through an adaptive algorithm to the signal of a selector circuit output while defining an initial tap coefficient signal outputted from a synchronizing control circuit as an initial value.

SOLUTION: At the time of the end of a training, an optimum clock timing and a frame timing are outputted to a selector circuit 40 as a control signal 21, while the initial value of a tap coefficient is outputted to an equalizer circuit 50 as an initial tap coefficient value signal 22. In the selector circuit 40, a delay time is controlled by a delay circuit 30, and a received signal corresponding to the control signal 21 is selected out of received signals 11 to 11-3. From the end of a training to the end of a burst, the selector circuit 40 outputs the received signal at the same clock timing and frame timing to the equalizer circuit 50 based on the control signal 21. The equalizer circuit 50 performs adaptive equalization to such a received signal 41 while using an adaptive algorithm inside the equalizer circuit 50 for the control of the tap coefficient.



LEGAL STATUS

[Date of request for examination] 26.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3418967

[Date of registration] 18.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁸	識別記号	F I	
H 0 4 B	3/10	H 0 4 B	3/10
	7/005		7/005
H 0 4 L	7/02	H 0 4 L	7/10
	7/10		7/02
			Z

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願平10-8486

(22) 出願日 平成10年(1998) 1月20日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 宗田 悟志

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 上野 衆太

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 松江 英明

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74) 代理人 弁理士 本間 崇

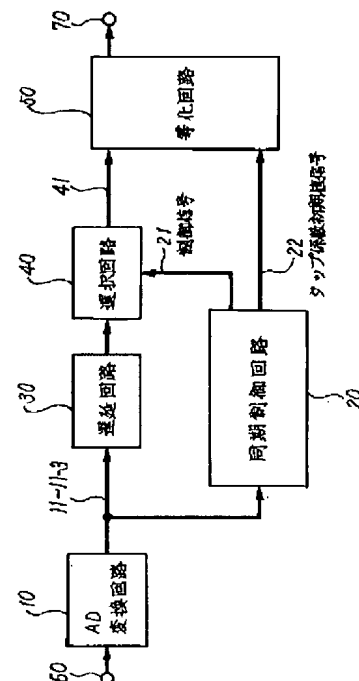
(54) 【発明の名称】 適応等化器

(57) 【要約】

【課題】 多重遅延波環境におけるマルチパスでの符号間干渉による劣化を防ぐための等化器に関し、少ない回路規模でクロックタイミング同期とフレームタイミング同期とを同時に採ることが可能で、バースト信号伝送効率の良い回路の実現を目的とする。

【解決手段】 受信信号を直交検波して得たベースバンド信号を、シンボルレートの n 倍の周期でサンプリングして変換するAD変換回路と、該AD変換回路の出力信号を遅延させる遅延回路と、バースト信号の、トレーニング区間に、最適なクロックタイミングと、フレームタイミングと、等化器のタップ係数の初期値を推定し、データ区間の最初にタップ係数初期値信号を出力すると共に、データ区間に、クロックタイミング信号と、フレームタイミング信号とを含む制御信号を出力する同期制御回路と、同期制御回路から出力される制御信号に基づいて、遅延回路出力信号を選択する選択回路と、選択回路出力の信号に対して、同期制御回路から出力されるタップ係数初期値信号を初期値として適応アルゴリズムにより、適応等化を行う等化回路とを含んで構成する。

本発明の適応等化器の基本的構成を示す図



【特許請求の範囲】

【請求項1】 受信信号を直交検波して得たベースバンド信号を、シンボルレートの n 倍（ n は正の整数）の周期でサンプリングしてアナログーデジタル変換するAD変換回路と、

該AD変換回路の出力信号を遅延させる遅延回路と、前記AD変換回路の出力側に接続され、バーストフォーマットが、先頭部の既知のトレーニング信号と、それに続くデータ信号とから成る信号の、トレーニング区間に、最適なクロックタイミングと、フレームタイミングと、等化器のタップ係数の初期値を推定し、データ区間の最初にタップ係数初期値信号を出力すると共に、データ区間に、クロックタイミング信号と、フレームタイミング信号とを含む制御信号を出力する同期制御回路と、該同期制御回路と、前記遅延回路とに接続され、同期制御回路から出力される制御信号に基づいて、遅延回路出力信号を選択する選択回路と、該選択回路と、前記同期制御回路とに接続され、選択回路出力の信号に対して、同期制御回路から出力されるタップ係数初期値信号を初期値として適応アルゴリズムにより、適応等化を行う等化回路とを含んで成ることを特徴とする適応等化器。

【請求項2】 同期制御回路は、 n 個のインパルスレスポンスメモリ回路を擁するインパルスレスポンス選択回路を含んで成り、AD変換回路に接続されて、トレーニング区間では、受信信号からクロックタイミング毎のインパルスレスポンスを推定し、記憶すると共に、トレーニング終了時には、誤差信号比較回路からの制御信号に基づいて、タップ係数初期値を等化回路に出力するインパルスレスポンス推定回路と、前記AD変換回路に接続され、レプリカが生成されるまで受信信号を遅延させる n 個の遅延回路と、前記インパルスレスポンス推定回路に接続され、すべてのクロックタイミングとフレームタイミングに対して、トレーニング区間でインパルスレスポンスと既知のトレーニング信号とからレプリカを計算する n 個のレプリカ生成回路と、該レプリカ生成回路と上記遅延回路に接続されていて、トレーニング区間に、すべてのクロックタイミングとフレームタイミングにおける前記レプリカ生成回路の出力と受信信号の差による等化誤差の2乗和を計算する n 個の誤差信号計算回路と、該誤差信号計算回路に接続され、前記トレーニング終了時の等化誤差の2乗和が最小と成るクロックタイミング及びフレームタイミングの組み合わせを選択し、その結果を選択回路とインパルスレスポンス選択回路に出力する誤差信号比較回路とによって構成される請求項1記載の適応等化器。

【請求項3】 同期制御回路は、 n 個のインパルスレスポンスメモリ回路を擁するインパ

ルスレスポンス選択回路を含んで成り、AD変換回路に接続されて、トレーニング区間では、受信信号からクロックタイミング毎のインパルスレスポンスを推定し、記憶すると共に、トレーニング終了時には、誤差信号比較回路からの制御信号に基づいて、タップ係数初期値を等化回路に出力するインパルスレスポンス推定回路と、前記AD変換回路に接続され、レプリカが生成されるまで受信信号を遅延させる n 個の遅延回路と、前記インパルスレスポンス推定回路に接続され、すべてのクロックタイミングとフレームタイミングに対して、トレーニング区間でインパルスレスポンスと既知のトレーニング信号とからレプリカを計算する n 個のレプリカ生成回路と、

該レプリカ生成回路と上記遅延回路に接続されていて、トレーニング区間に、すべてのクロックタイミングとフレームタイミングにおける前記レプリカ生成回路の出力と受信信号の差による等化誤差の2乗和を計算する n 個の誤差信号計算回路と、

該誤差信号計算回路と前記 n 個のインパルスレスポンスメモリ回路とに接続され、クロックタイミング毎に異なるフレームタイミングの等化誤差の2乗和の中から、最小のものと他の等化誤差の2乗和の差が、あらかじめ設定した閾値以上の場合には、最小の等化誤差の2乗和をもつフレームタイミングを選択し、閾値以下の場合には、該当するフレームタイミングについて、一部のタップの電力の和が最大と成るフレームタイミングを選択した後、フレームタイミングが決定した各クロックタイミングの等化誤差の2乗和を比較し、最も小さいクロックタイミングを選択し、その結果を選択回路とインパルスレスポンス選択回路に出力する誤差信号比較回路とによって構成される請求項1記載の適応等化器。

【請求項4】 同期制御回路に、インパルスレスポンス推定回路に接続され、クロックタイミング毎に計算中のインパルスレスポンスを記憶する n 個のメモリ回路と、レプリカ生成回路と、 n 個のインパルスレスポンスメモリ回路の内のいずれかを選択して前記レプリカ生成回路に接続する切替回路と、

誤差信号計算回路に接続され、クロックタイミング毎に計算中の誤差信号を記憶する n 個の誤差信号メモリ回路と、誤差信号比較回路とによって構成され、すべてのクロックタイミングとフレームタイミングに対する、インパルスレスポンスと、レプリカと、等化誤差を求める場合に、上記、メモリ回路と、レプリカメモリ回路と、誤差信号メモリ回路を使用して、インパルスレスポンス推定回路、レプリカ生成回路、誤差信号計算回路をタイムシェアリングで使用し、これらの回路を共有化化手段を設けた請求項1に記載の適応等化器。

【請求項5】 同期制御回路は、AD変換回路に接続さ

れ、レプリカが生成されるまで受信信号を遅延させる遅延回路と、すべてのクロックタイミングとフレームタイミングに対して、トレーニング区間でインパルスレスポンスと既知のトレーニング信号とからレプリカを計算するレプリカ生成回路と、該レプリカ生成回路と、前記遅延回路に接続されていて、トレーニング区間に、レプリカと受信信号の差による等化誤差の2乗和を計算する誤差信号計算回路と、該誤差信号計算回路に接続され、前記トレーニング終了時の等化誤差の2乗和が最小となるクロックタイミング及びフレームタイミングの組み合わせを選択し、その結果を選択回路とインパルスレスポンス推定回路に出力する誤差信号比較回路とから成り、等化回路は、トレーニング記憶回路と、トレーニング区間と、データ区間の、タップ係数を求める時に、同じ適応アルゴリズム回路を共有化する手段とを有するインパルスレスポンス推定回路と、最尤系列推定回路とを含んで成る請求項1に記載の適応等化器。

【請求項6】 同期制御回路の、インパルスレスポンス推定回路は、クロックタイミング毎に受信信号と既知のトレーニングとの相関によりインパルスレスポンスを推定する相関回路を有し、トレーニング区間では、受信信号と既知のトレーニングとの相関によりインパルスレスポンスを求め、データ区間では、タップ係数は、上記相関回路で求めたインパルスレスポンスを初期値とし、等化回路内の適応アルゴリズムで環境の変動に追従することによって、タップ数が多い場合にインパルスレスポンス推定時間を短くする手段を設けた請求項2～請求項4のいずれか1項に記載の適応等化器。

【請求項7】 レプリカ生成回路を、既知トレーニング信号を記憶するトレーニング記憶回路と、該トレーニング記憶回路に接続され、トレーニング信号を遅延させる複数の遅延回路と、該遅延回路と、インパルスレスポンス推定回路に接続され、トレーニング信号とインパルスレスポンスを乗算する複数の乗算回路と、該乗算回路に接続され、異なるフレームタイミングのレプリカで共通に使用して乗算結果を加算する共通加算器と、該共通加算器と、該共通加算器との接続関係を持たない乗算回路とに接続され、異なるフレームタイミングのレプリカ毎に加算する複数の部分加算回路を具備するように構成し、等化誤差を求める際に必要なレプリカを作成するトランスバーサルフィルタの中の、異なるフレームタイミング

のレプリカを作成する加算回路を分離することによって、乗算回路の一部を共通化した請求項1～請求項6のいずれか1項に記載の適応等化器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多重波遅延環境におけるマルチパスでの符号間干渉による伝送特性の劣化を防ぐ等化器に関し、特に、クロックタイミングとフレームタイミング誤差による等化特性の劣化を回路規模の増大を抑えることが可能で、更に、フレーム効率の低下を生じない適応等化器の構成に係る。

【0002】

【従来の技術】シンボルスペースタップの等化器では、クロックタイミング誤差による特性の劣化が問題である。このクロックタイミング誤差による劣化を補償するため、図10に示すバーストが送信される場合に、トレーニング中の受信SN比が最大となるクロックタイミングでデータを等化する方式がある。

【0003】この構成を図11に示す。同図において、入力端子505から入力した受信信号は、トレーニング中452にAD変換回路501で、シンボルレートの数倍でサンプリングされ、等化回路503及び制御回路504に輸入される。等化回路503では、クロックタイミング毎に等化誤差513を求める。

【0004】制御回路504では、トレーニング区間中452に受信信号511の2乗和を等化回路で求めた等化誤差513の2乗和で除算して、クロックタイミング毎のSN比を計算し、このSN比が最大になるクロックタイミングを求める。

【0005】選択回路502では、その結果をもとに受信信号を選択し、データ部を等化回路503で等化することで、クロックタイミング誤差による劣化を防ぐ。

(特開平6-6265参照)

【0006】

【発明が解決しようとする課題】フレームタイミング同期がずれて、等化器の等化範囲から外れる受信信号のインパルスレスポンスの電力が大きくなると、干渉の影響を抑止することができなくなり、特性が劣化する。そのため、等化器の特性向上のためには、クロックタイミング同期だけでなく、フレームタイミング同期も併せて考える必要がある。

【0007】しかし、従来の等化器回路では、クロックタイミング同期のみを考えているため、フレームタイミング同期を採るためには、別にフレームタイミング同期回路とフレームタイミング同期用プリアンプを設けることが必要になる。その結果、フレームタイミング同期回路と、クロックタイミング同期回路とが、個別に存在することによる回路規模の増大と、バースト効率の低下を生ずるという課題があった。

【0008】本発明は、クロックタイミング誤差だけで

なくフレームタイミング誤差による特性の劣化と、クロックタイミング同期回路とフレームタイミング同期回路とが、それぞれ別に存在することによる回路規模の増大と、フレーム効率の劣化という従来の課題を解決することのできる適応等化器を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明によれば、上述の課題は、前記特許請求の範囲に記載した手段により解決される。

【0010】すなわち、請求項1の発明は、受信信号を直交検波して得たベースバンド信号を、シンボルレートの n 倍（ n は正の整数）の周期でサンプリングしてアナログ→デジタル変換するAD変換回路と、該AD変換回路の出力信号を遅延させる遅延回路と、

【0011】前記AD変換回路の出力側に接続され、バーストフォーマットが、先頭部の既知のトレーニング信号と、それに続くデータ信号とから成る信号の、トレーニング区間に、最適なクロックタイミングと、フレームタイミングと、等化器のタップ係数の初期値を推定し、データ区間の最初にタップ係数初期値信号を出力すると共に、データ区間に、クロックタイミング信号と、フレームタイミング信号とを含む制御信号を出力する同期制御回路と、

【0012】該同期制御回路と、前記遅延回路とに接続され、同期制御回路から出力される制御信号に基づいて、遅延回路出力信号を選択する選択回路と、該選択回路と、前記同期制御回路とに接続され、選択回路出力の信号に対して、同期制御回路から出力されるタップ係数初期値信号を初期値として適応アルゴリズムにより、適応等化を行う等化回路とを含んで構成した適応等化器である。

【0013】請求項2の発明は、前記請求項1記載の適応等化器において、同期制御回路を、 n 個のインパルスレスポンスメモリ回路を擁するインパルスレスポンス選択回路を含んで成り、AD変換回路に接続されて、トレーニング区間では、受信信号からクロックタイミング毎のインパルスレスポンスを推定し、記憶すると共に、トレーニング終了時には、誤差信号比較回路からの制御信号に基づいて、タップ係数初期値を等化回路に出力するインパルスレスポンス推定回路と、

【0014】前記AD変換回路に接続され、レプリカが生成されるまで受信信号を遅延させる n 個の遅延回路と、前記インパルスレスポンス推定回路に接続され、すべてのクロックタイミングとフレームタイミングに対して、トレーニング区間でインパルスレスポンスと既知のトレーニング信号とからレプリカを計算する n 個のレプリカ生成回路と、

【0015】該レプリカ生成回路と上記遅延回路に接続されていて、トレーニング区間に、すべてのクロックタ

イミングとフレームタイミングにおける前記レプリカ生成回路の出力と受信信号の差による等化誤差の2乗和を計算する n 個の誤差信号計算回路と、

【0016】該誤差信号計算回路に接続され、前記トレーニング終了時の等化誤差の2乗和が最小と成るクロックタイミング及びフレームタイミングの組み合わせを選択し、その結果を選択回路とインパルスレスポンス選択回路に出力する誤差信号比較回路とによって構成したものである。

【0017】請求項3の発明は、前記請求項1記載の適応等化器において、同期制御回路を、 n 個のインパルスレスポンスメモリ回路を擁するインパルスレスポンス選択回路を含んで成り、AD変換回路に接続されて、トレーニング区間では、受信信号からクロックタイミング毎のインパルスレスポンスを推定し、記憶すると共に、

【0018】トレーニング終了時には、誤差信号比較回路からの制御信号に基づいて、タップ係数初期値を等化回路に出力するインパルスレスポンス推定回路と、前記AD変換回路に接続され、レプリカが生成されるまで受信信号を遅延させる n 個の遅延回路と、

【0019】前記インパルスレスポンス推定回路に接続され、すべてのクロックタイミングとフレームタイミングに対して、トレーニング区間でインパルスレスポンスと既知のトレーニング信号とからレプリカを計算する n 個のレプリカ生成回路と、

【0020】該レプリカ生成回路と上記遅延回路に接続されていて、トレーニング区間に、すべてのクロックタイミングとフレームタイミングにおける前記レプリカ生成回路の出力と受信信号の差による等化誤差の2乗和を計算する n 個の誤差信号計算回路と、

【0021】該誤差信号計算回路と前記 n 個のインパルスレスポンスメモリ回路とに接続され、クロックタイミング毎に異なるフレームタイミングの等化誤差の2乗和の中から、最小のものと他の等化誤差の2乗和の差が、あらかじめ設定した閾値以上の場合には、最小の等化誤差の2乗和をもつフレームタイミングを選択し、閾値以下の場合には、該当するフレームタイミングについて、

【0022】一部のタップの電力の和が最大と成るフレームタイミングを選択した後、フレームタイミングが決定した各クロックタイミングの等化誤差の2乗和を比較し、最も小さいクロックタイミングを選択し、その結果を選択回路とインパルスレスポンス選択回路に出力する誤差信号比較回路とによって構成したものである。

【0023】請求項4の発明は、前記請求項1記載の適応等化器において、同期制御回路に、インパルスレスポンス推定回路に接続され、クロックタイミング毎に計算中のインパルスレスポンスを記憶する n 個のインパルスレスポンスメモリ回路と、レプリカ生成回路と、

【0024】前記 n 個のインパルスレスポンスメモリ回路の内のいずれかを選択して前記レプリカ生成回路に接

続する切替回路と、誤差信号計算回路に接続され、クロックタイミング毎に計算中の誤差信号を記憶するn個の誤差信号メモリ回路と、誤差信号比較回路とによって構成され、

【0025】すべてのクロックタイミングとフレームタイミングに対する、インパルスレスポンスと、レプリカと、等化誤差を求める場合に、上記、メモリ回路と、レプリカメモリ回路と、誤差信号メモリ回路を使用して、インパルスレスポンス推定回路、レプリカ生成回路、誤差信号計算回路をタイムシェアリングで使用し、これらの回路を共有化する手段を設けて構成したものである。

【0026】請求項5の発明は、前記請求項1記載の適応等化器において、同期制御回路を、AD変換回路に接続され、レプリカが生成されるまで受信信号を遅延させる遅延回路と、すべてのクロックタイミングとフレームタイミングに対して、トレーニング区間でインパルスレスポンスと既知のトレーニング信号とからレプリカを計算するレプリカ生成回路と、

【0027】該レプリカ生成回路と、前記遅延回路に接続されていて、トレーニング区間に、レプリカと受信信号の差による等化誤差の2乗和を計算する誤差信号計算回路と、該誤差信号計算回路に接続され、前記トレーニング終了時の等化誤差の2乗和が最小となるクロックタイミング及びフレームタイミングの組み合わせを選択し、その結果を選択回路とインパルスレスポンス推定回路に出力する誤差信号比較回路とから構成し、

【0028】等化回路を、トレーニング記憶回路と、トレーニング区間と、データ区間の、タップ係数を求める時に、同じ適応アルゴリズム回路を共有化する手段とを有するインパルスレスポンス推定回路と、最尤系列推定回路とを含んで成るように構成したものである。

【0029】請求項6の発明は、前記請求項2～請求項4のいずれか1項に記載の適応等化器において、同期制御回路の、インパルスレスポンス推定回路は、クロックタイミング毎に受信信号と既知のトレーニングとの相関によりインパルスレスポンスを推定する相関回路を有し、

【0030】トレーニング区間では、受信信号と既知のトレーニングとの相関によりインパルスレスポンスを求め、データ区間では、タップ係数は、上記相関回路で求めたインパルスレスポンスを初期値とし、等化回路内の適応アルゴリズムで環境の変動に追従することによって、タップ数が多い場合にインパルスレスポンス推定時間を短くする手段を設けて構成したものである。

【0031】請求項7の発明は、前記請求項1～請求項6のいずれか1項に記載の適応等化器において、レプリカ生成回路を、既知トレーニング信号を記憶するトレーニング記憶回路と、該トレーニング記憶回路に接続され、トレーニング信号を遅延させる複数の遅延回路と、

【0032】該遅延回路と、インパルスレスポンス推定

回路に接続され、トレーニング信号とインパルスレスポンスを乗算する複数の乗算回路と、該乗算回路に接続され、異なるフレームタイミングのレプリカで共通に使用して乗算結果を加算する共通加算器と、該共通加算器と、該共通加算器との接続関係を持たない乗算回路とに接続され、異なるフレームタイミングのレプリカ毎に加算する複数の部分加算回路を具備するように構成し、

【0033】等化誤差を求める際に必要なレプリカを作成するトランスバーサルフィルタの中の、異なるフレームタイミングのレプリカを作成する加算回路を分離することによって、乗算回路の一部を共通化するように構成したものである。

【0034】図1に本発明の適応等化器の基本的構成を示す。同図において、入力端子60より入力された受信信号をAD変換回路10にてシンボルレートの数倍でサンプリングした後、適応等化器のトレーニング中（図7のトレーニング信号452の区間）には同期制御回路20で考慮するすべてのクロックタイミングとフレームタイミングでの等化誤差の2乗和を比較して、等化器のトレーニングとクロックタイミングとフレームタイミングの選択を同時に行う。

【0035】トレーニング終了後、データ信号453の区間では、選択したクロックタイミングとフレームタイミングの制御信号21を選択回路40に入力し、遅延回路30の出力の信号から、最適クロックタイミング、及びフレームタイミングを選択する。等化回路50は、同期制御回路20で選択したインパルスレスポンスを等化回路の初期タップ係数22として、選択した受信信号41について適応等化動作を行う。

【0036】本発明は、クロックタイミングと同時にフレームタイミングを選択することが可能であり、考慮するすべてのクロックタイミングとフレームタイミングでの等化誤差から最適な組み合わせを選択し、また、それらを同一の回路で求める構成であるため、クロックタイミングとフレームタイミング誤差による等化特性の劣化と、回路規模の増加と、フレーム効率の劣化を防ぐことができるという作用効果が得られる。

【0037】

【発明の実施の形態】先に本発明の適応等化器の基本的構成を図1として示した。同図に示すように、本発明の適応等化器は、AD変換回路10、同期制御回路20、遅延回路30、選択回路40、等化回路50、入力端子60、出力端子70で構成される。使用するバーストフォーマットを図10に示す。

【0038】図1において、ベースバンドの受信信号は、入力端子60からA/D変換回路10に入力され、シンボルレートの4倍でサンプリングされる（11～11-3）。デジタル変換された信号は、遅延回路30に入力される。また、バーストのトレーニング区間（452）には、同期制御回路20にも入力される。

【0039】トレーニング区間(452)に同期制御回路20では、シンボルレートの4倍でサンプリングされた受信信号と既知のトレーニング信号より、最適なクロックタイミング及びフレームタイミングと、タップ係数の初期値を決定する。

【0040】そして、トレーニング終了時に最適クロックタイミング、及びフレームタイミングを制御信号21として選択回路40へ、タップ係数の初期値をタップ係数初期値信号22として等化回路50へ出力する。選択回路40では、遅延回路30にて遅延時間を調節されて、シンボルレートの4倍でサンプリングされた受信信号11~11-3の中から、制御信号21に対応する受信信号を選択(41)する。

【0041】トレーニング終了後からバースト終了までの間(データ信号453の区間)、選択回路40では、制御信号21に基づき、同一のクロックタイミング、及びフレームタイミングの受信信号をシンボルレートで等化器50へ出力(41)する。等化回路50では、この受信信号41に対して、タップ係数の制御に等化回路50内部にもつ適応アルゴリズムを使用して、適応等化を行う。

【0042】また、トレーニング終了直後の、等化回路の動作開始時のタップ係数は、同期制御回路20から出力されたタップ係数初期値信号22によるタップ係数を初期値として使用する。

【0043】図2に本発明の第1の実施例として同期制御回路20の構成の例を示す。同期制御回路20は、トレーニング信号452の区間のみ動作する。インパルスレスポンス推定回路171は、相関回路101~104とインパルスレスポンスメモリ回路111~114と、インパルスレスポンス選択回路120で構成される。各クロックタイミングの受信信号11~11-3は、相関回路101~104と、遅延回路141~144に入力される。

【0044】つまり、1シンボルを4倍サンプリングした受信信号11~11-3の内、1つのクロックタイミング0の受信信号11が、相関回路101と遅延回路141に、別のクロックタイミング1の受信信号11-1が、相関回路102と遅延回路142に、別のクロックタイミング2の受信信号11-2が相関回路103と遅延回路143に、別のクロックタイミング3の受信信号11-3が相関回路104と遅延回路144に入力される。

【0045】相関回路101~104では、クロックタイミング毎のインパルスレスポンス $h(x, y)$ を求める。ここで、インパルスレスポンス $h(x, y)$ のうち、 x はクロックタイミングを表し、 y は同一クロックタイミング内のインパルスレスポンスの順番を表す。

【0046】つまり、相関回路101では受信信号11と既知のトレーニング信号よりインパルスレスポンス h

$(0, 0)115 \sim h(0, 6)115-6$ を求め、相関回路102では受信信号11-1と既知のトレーニング信号よりインパルスレスポンス $h(1, 0)116 \sim h(1, 6)116-6$ を求め、

【0047】相関回路103では、受信信号11-2と既知のトレーニング信号よりインパルスレスポンス $h(2, 0)117 \sim h(2, 6)117-6$ を求め、相関回路104では受信信号11-3と既知のトレーニング信号よりインパルスレスポンス $h(3, 0)118 \sim h(3, 6)118-6$ を求める。

【0048】求めたインパルスレスポンス $h(0, 0)115 \sim h(0, 6)115-6$ はインパルスメモリ回路111で記憶し、インパルスレスポンス $h(1, 0)116 \sim h(1, 6)116-6$ はインパルスメモリ回路112で記憶し、インパルスレスポンス $h(2, 0)117 \sim h(2, 6)117-6$ はインパルスメモリ回路113で記憶し、インパルスレスポンス $h(3, 0)118 \sim h(3, 6)118-6$ はインパルスメモリ回路114で記憶する。

【0049】レプリカ生成回路131では、インパルスレスポンス $h(0, 0)115 \sim h(0, 6)115-6$ と、トレーニング信号よりクロックタイミングが0でフレームタイミングの異なるレプリカをシンボル毎に生成する(135, 135-1)。レプリカ生成回路132では、インパルスレスポンス $h(1, 0)116 \sim h(1, 6)116-6$ とトレーニング信号よりクロックタイミングが1でフレームタイミングの異なるレプリカをシンボル毎に生成する(136, 136-1)。

【0050】レプリカ生成回路133では、インパルスレスポンス $h(2, 0)117 \sim h(2, 6)117-6$ と、トレーニング信号よりクロックタイミングが2でフレームタイミングの異なるレプリカをシンボル毎に生成する(137, 137-1)。レプリカ生成回路134では、インパルスレスポンス $h(3, 0)118 \sim h(3, 6)118-6$ とトレーニング信号よりクロックタイミングが3でフレームタイミングの異なるレプリカをシンボル毎に生成する(138, 138-1)。

【0051】異なるフレームタイミングのレプリカを作るときには、同一クロックタイミング内でレプリカ生成に使用するインパルスレスポンスをずらす。本実施例では2種類のフレームタイミングを考慮する。例えばクロックタイミング0のときには、あるフレームタイミング0のために $h(0, 0)115 \sim h(0, 5)115-5$ を使用し、別のフレームタイミング1のために $h(0, 1)115-1 \sim h(0, 6)115-6$ を使用する。

【0052】生成されたレプリカ135~138, 135-1~138-1と、レプリカ135~138, 135-1~138-1が生成されるまで遅延回路141~144にて遅延された信号145~148は、誤差信号

計算回路151~154に入力される。誤差信号計算回路151では、遅延信号145とそれに対応するレプリカ135、135-1の差の2乗をシンボル毎に求める。

【0053】そして、それらをトレーニング区間において総和をとり、クロックタイミングが0でフレームタイミングが異なる誤差信号の2乗和155、155-1を計算する。また、1シンボルは4倍でサンプリングされているため、誤差信号計算回路152、153、154でも誤差信号計算回路151と同様の動作を行い、8種類の誤差信号の2乗和155~158、155-1~158-1を求める。

【0054】誤差信号比較回路161では、トレーニング終了時におけるすべての誤差信号の2乗和の中で、最小になるクロックタイミングとフレームタイミングの組み合わせを選択する。この組み合わせを制御信号21として出力する。誤差の比較をすべてのクロックタイミングとフレームタイミングで同時に行い、最も誤差の少ない組み合わせを選択することで、データ中ではクロックタイミング誤差とフレームタイミング誤差による劣化を少なく等化することが可能である。

【0055】制御信号21は、選択回路40へ出力されると共に、インパルスレスポンス選択回路120へ出力される。インパルスレスポンス選択回路120では、制御信号21をもとにインパルスレスポンスメモリ回路111~114中のインパルスレスポンスを選択し、等化回路50に初期タップ係数22として出力する。

【0056】ここで、レプリカ生成回路131~134について説明する。図7にレプリカ生成回路の構成を示す。レプリカ生成回路131~134は、トランスバースルフィルタで構成されている。トレーニング記憶回路301にある既知トレーニング信号と、相関回路101~104で求めたインパルスレスポンスであるタップ係数 $h(0, 0)115 \sim h(0, 6)115-6$, $h(1, 0)116 \sim h(1, 6)116-6$, $h(2, 0)117 \sim h(2, 6)117-6$, $h(3, 0)118 \sim h(3, 6)118-6$ を乗算してシンボル毎にすべてのクロックタイミング及びフレームタイミングのレプリカ13, 135-1, 136, 136-1, 137, 137-1, 138, 138-1を生成する。

【0057】ここでは、考慮するフレームタイミングを0、1とし、フレームタイミング1はフレームタイミング0より1シンボル遅延したフレームタイミングとする。クロックタイミングが0で、時刻7のフレームタイミング0のレプリカと時刻6のフレームタイミング1のレプリカの生成原理を図8に示す。トランスバースルフィルタに入力される既知のトレーニング信号は古いものから1, 2, …, 7として示している。トランスバースルフィルタは、7タップで構成され、レプリカ生成にはその内の6タップを使用する。

【0058】すなわち、フレームタイミング0には、タップ係数 $h(0, 0)115 \sim h(0, 5)115-5$ に対する乗算、フレームタイミング1にはタップ係数 $h(0, 0)115-1 \sim h(0, 6)115-5$ に対する乗算を使用する。時刻7のフレームタイミング0と時刻6のフレームタイミング1のレプリカは $h(0, 1)115-1 \sim h(0, 5)115-5$ に対する乗算が同一である。

【0059】その結果に、 $h(0, 1)115-1$ に対する乗算結果と、 $h(0, 6)115-5$ に対する乗算結果を別々に加算することで、時刻7のフレームタイミング0と時刻6のフレームタイミング1のレプリカを生成することが可能である。このように同一のクロックタイミングで異なるフレームタイミングのレプリカは生成する時間をずらすことで、加算器を共通化でき、回路規模を削減することができる。図7のレプリカ生成回路では、これを、共通加算回路361と2つの部分加算回路371, 372で実現している。

【0060】図9に誤差信号計算回路151~154の構成を示す。以下の説明では、クロックタイミング0に対応する誤差信号計算回路151のみについて述べているが、他のクロックタイミングに対応する誤差信号計算回路152~154の動作も同様である。

【0061】レプリカ生成回路131で、同時に生成されるフレームタイミング0のレプリカ135とフレームタイミング1のレプリカ135-1は、対応する受信信号145が異なる。これを合わせるためにフレームタイミング0のレプリカを遅延回路401でシンボル遅延する。その後、受信信号145とフレームタイミング0と1のレプリカの誤差を各々加算回路421, 422にて求める。それぞれの誤差の2乗421, 422を求めた後、積算回路431, 432でトレーニング区間における和を求める。

【0062】図3に本発明の第2の実施例の同期制御回路の構成を示す。この例は、同図からも明らかなように、先に図2に示した同期制御回路の誤差信号比較回路161を、これと構成の異なる誤差信号比較回路281に置き換えたもので、インパルスレスポンスメモリ回路からの信号115~115-6, 116~116-6, 117~117-6, 118~118-6を該誤差信号比較回路281に入力する構成を採っている以外は、図2に示したものと同様であり、また、該誤差信号比較回路281については、以下の説明で触れているので、ここでは説明を省略する。

【0063】図4に本発明の第3の実施例の同期制御回路の構成を示す。この実施例は、先の第1、第2の実施例とは、同期制御回路20の構成が異なる。また、等化回路50としてMLSEとDFEを合成したDDFSEとする。実施例1と同様、同期制御回路20はトレーニング区間のみ動作する。受信信号11~11-3は相関

回路101と遅延回路141入力される。

【0064】 相関回路101では、受信信号11~11-3と既知のトレーニング信号からインパルスレスポンスを求める。このとき、各クロックタイミング毎に相関メモリ回路202~205を使用して相関回路101をタイムシェアリングして使用する。

【0065】 つまり、相関回路101と相関メモリ回路202を使用して受信信号11からクロックタイミング0のインパルスレスポンス $h(0, 0)$ 115~ $h(0, 6)$ 115-6を求め、相関回路101と相関メモリ回路203を使用して受信信号11-1からクロックタイミング1のインパルスレスポンス $h(1, 0)$ 116~ $h(1, 6)$ 116-6を求め、

【0066】 相関回路101と相関メモリ回路204を使用して受信信号11-2からクロックタイミング2のインパルスレスポンス $h(2, 0)$ 117~ $h(2, 6)$ 117-6を求め、相関回路101と相関メモリ回路205を使用して受信信号11-3からクロックタイミング3のインパルスレスポンス $h(3, 0)$ 118~ $h(3, 6)$ 118-6を求める。

【0067】 その後、それぞれインパルスレスポンスメモリ回路111~114に記憶させる。インパルスレスポンス推定終了後、レプリカ生成回路131ではこれらのインパルスレスポンスとトレーニング信号よりクロックタイミングとフレームタイミングの異なるレプリカを生成する(135~138, 135-1~138-1)。レプリカ生成回路を異なるクロックタイミングで共有するために、インパルスレスポンスメモリ回路111~114とレプリカ生成回路131との間に切替回路193を設ける。

【0068】 この切替回路193は、各クロックタイミングのインパルスレスポンスを順番にレプリカ生成回路に入力させる。つまり、まずクロックタイミング0のインパルスレスポンス $h(0, 0)$ 115~ $h(0, 6)$ 115-6を入力し、次にクロックタイミング1のインパルスレスポンス $h(1, 0)$ 116~ $h(1, 6)$ 116-6を入力し、

【0069】 次にクロックタイミング2のインパルスレスポンス $h(2, 0)$ 117~ $h(2, 6)$ 117-6を入力し、次にクロックタイミング3のインパルスレスポンス $h(3, 0)$ 118~ $h(3, 6)$ 118-6を入力し、次にもとに戻ってクロックタイミング0のインパルスレスポンス $h(0, 0)$ 115~ $h(0, 6)$ 115-6を入力し、これを繰り返す。

【0070】 レプリカ生成回路131では、異なるフレームタイミングのレプリカを作るときには同一クロックタイミング内で使用するインパルスレスポンスをずらす。本実施例では2種類のフレームタイミングを考慮することとする。例えば、クロックタイミング0のときには、あるフレームタイミングのために $h(0, 0)$ 11

5~ $h(0, 5)$ 115-5を使用し、別のフレームタイミングのために $h(0, 1)$ 115-1~ $h(0, 6)$ 115-6を使用する。

【0071】 遅延回路141は、トレーニング(452)区間の受信信号11~11-3をレプリカが生成されるまで遅延させる。生成されたレプリカ135~138, 135-1~138-1と遅延された信号272は、誤差信号計算回路151に入力される。ここでは遅延信号272とそれに対応するレプリカ135~138, 135-1~138-1の差の2乗をシンボル毎に求める。

【0072】 つまり、1つの遅延信号に対してクロックタイミングが同じでフレームタイミングの異なる2つのレプリカ135, 135-1あるいは136, 136-1あるいは137, 137-1あるいは138, 138-1を対応させる。また1シンボルは4倍でサンプリングされているため、シンボル毎に8種類の誤差信号が生成される。

【0073】 そして、それらをトレーニング区間において総和をとり、全クロックタイミングとフレームタイミングについて誤差信号の2乗和155~158, 155-1~158-1を求める。ここで、誤差信号メモリ回路252~255を使用して誤差信号計算回路151をタイムシェアリングで使用するによって、共有する。

【0074】 誤差信号比較回路281では、トレーニング終了時の誤差信号の2乗和155, 155-1, 156, 156-1, 157, 157-1, 158, 158-1をクロックタイミング毎に異なるフレームタイミングで比較し、各クロックタイミングに最適なフレームタイミングを決定した後、各クロックタイミングの誤差信号を比較して最適なクロックタイミングを選択する。

【0075】 フレームタイミングの比較では該当クロックタイミングでの最小のフレームタイミングの誤差信号の2乗和と別のフレームタイミングの誤差信号の2乗和の差が、予め定めた閾値より大きい場合には最小の誤差となるフレームタイミングを選択し、閾値より小さい場合には該当するフレームタイミングのMLSEタップに相当するタップの電力の総和が最大のフレームタイミングを選択する。

【0076】 クロックタイミングの選択には4種類のフレームタイミングが決定した各クロックタイミングの誤差信号の2乗和の大きさのみで比較し、最小となるクロックタイミングを選択する。そして、このフレームタイミングとクロックタイミングの組み合わせを制御信号21として出力する。

【0077】 制御信号21は、選択回路40へ出力されると共に、インパルスレスポンス選択回路120へ出力される。インパルスレスポンス選択回路120では制御信号21をもとにインパルスレスポンスメモリ回路11

1～114中のインパルスレスポンスを選択し、等化回路50に初期タップ係数22として出力する。

【0078】図5に本発明の第4の実施例の適応等化器の構成を示す。本実施例では等化回路50をビタビアルゴリズムを使用する最尤系列推定器とする。ベースバンドの受信信号は入力端子60からA/D変換回路10にされ、シンボルレートの4倍でサンプリングされる(11～11-3)。

【0079】等化回路50中のスイッチ181とスイッチ182は、共にトレーニング452中には、T、データ中にはD側のを入力を選択する。デジタル変換された受信信号11～11-3は遅延回路30にされる。またトレーニング452中には同期制御回路20と等化回路50にもされる。

【0080】トレーニング(452)区間中において、等化回路50のインパルスレスポンス推定回路171には、スイッチ181を通して受信信号11～11-3とスイッチ182を通してトレーニング記憶回路301に、、、記憶されているトレーニング信号がされる。

【0081】インパルスレスポンス推定回路171は、これら2種類の信号をもとに各クロックタイミング毎に4種類のインパルスレスポンスを推定する。推定した各クロックタイミングのインパルスレスポンスをインパルスレスポンス $h(x, y)$ とする。ここでインパルスレスポンス $h(x, y)$ のうち x はクロックタイミングを表し、 y は同一クロックタイミング内のインパルスレスポンスの順番を表す。

【0082】ここでは、 $h(0, 0)115 \sim h(0, 6)115-6$ と $h(1, 0)116 \sim h(1, 6)116-6$ と $h(2, 0)117 \sim h(2, 6)117-6$ と $h(3, 0)118 \sim h(3, 6)118-6$ を推定する。また、インパルスレスポンス推定回路171ではインパルスレスポンス推定のためにLMS, RLS, VLMSアルゴリズム等の適応アルゴリズムを使用する。

【0083】インパルスレスポンス推定回路171において、インパルスレスポンス推定終了後、これらを同期制御回路20のレプリカ生成回路131へ出力する(174)。このとき、最初のタイミングでは $h(0, 0)115 \sim h(0, 6)115-6$ を、次は $h(1, 0)116 \sim h(1, 6)116-6$ を、次は $h(2, 0)117 \sim h(2, 6)117-6$ を、次は $h(3, 0)118 \sim h(3, 6)118-6$ を、次には初めに戻って $h(0, 0)115 \sim h(0, 6)115-6$ というように各クロックタイミング毎のインパルスレスポンスを繰り返して出力する。

【0084】レプリカ生成回路131では、これらのインパルスレスポンスと既知のトレーニング信号よりクロックタイミングとフレームタイミングの異なるレプリカ

を生成する(135～138, 135-1～138-1)。異なるフレームタイミングのレプリカを作るときには同一クロックタイミング内で使用するインパルスレスポンスをずらす。

【0085】本実施例では、2種類のフレームタイミングを考慮とする。例えばクロックタイミング0のときには、あるフレームタイミングのために $h(0, 0)115 \sim h(0, 5)115-5$ を使用し、別のフレームタイミングのために、 $h(0, 1)115-1 \sim h(0, 6)115-6$ を使用する。遅延回路141はトレーニング(452)区間の受信信号11～11-3をレプリカが生成されるまで遅延させる。

【0086】生成されたレプリカと遅延された信号は、誤差信号計算回路151にされる。ここでは、遅延信号と、それに対応するレプリカ135～138, 135-1～138-1の差の2乗をシンボル毎に求める。つまり、1つの遅延信号に対してクロックタイミングが同じでフレームタイミングの異なる2つのレプリカ135, 135-1あるいは136, 136-1あるいは137, 137-1あるいは138, 138-1を対応させる。

【0087】また、1シンボルは、4倍でサンプリングされているため、シンボル毎に8種類の誤差信号が生成される。そしてそれらをトレーニング区間において総和をとり、全クロックタイミングとフレームタイミングについて誤差信号の2乗和155～158, 155-1～158-1を求める。ここで誤差信号メモリ回路252～255を使用して誤差信号計算回路151を共有する。

【0088】誤差信号比較回路161では、すべての誤差信号の2乗和の計算終了後、それらの中で最小になるクロックタイミングとフレームタイミングの組み合わせを選択する。そして、この組み合わせを制御信号21として出力する。トレーニング終了後、データ区間453では等化回路50のスイッチ181とスイッチ182はD側に切り替えられる。

【0089】選択回路40においては、制御信号21が出力されるまで、遅延回路30で遅延された受信信号の中から制御信号21をもとに、最適タイミングに対応する受信信号がシンボルレートで選択される(41)。また、制御信号21は、インパルスレスポンス推定回路171にもされ、推定されたインパルスレスポンスから制御信号21のクロックタイミングとフレームタイミングに対応するインパルスレスポンスが選択される。

【0090】この場合、 $h(0, 0)115 \sim h(0, 5)115-5$ か $h(0, 1)115-1 \sim h(0, 6)115-6$ か $h(1, 0)116 \sim h(1, 5)116-5$ か $h(1, 1)116-1 \sim h(1, 6)116-6$ か $h(2, 0)117 \sim h(2, 5)117-5$

か $h(2, 1)117-1 \sim h(2, 6)117-6$ か $h(3, 0)118 \sim h(3, 5)118-5$ か $h(3, 1)118-1 \sim h(3, 6)118-6$ の内1つが選択される。

【0091】そして、それをタップ係数初期値として最尤系列推定回路183に inputsする(176)。以上の動作が終了した後、選択回路40で選択された受信信号41は最尤系列推定回路183とスイッチ181を through インパルスレスポンス推定回路171に inputsされる。インパルスレスポンス推定回路171では受信信号41と等化器出力信号51から適応アルゴリズムによりタップ係数の更新を行い、最尤系列推定回路183に outputsする。

【0092】最尤系列推定回路183では、受信信号41とタップ係数より、ビタビアルゴリズムにて等化動作を行い、等化器出力信号51を出力端子70から outputsする。この等化器出力信号51はインパルスレスポンス推定回路171にフィードバックされる。

【0093】図6に第3の実施例中のインパルスレスポンス推定回路171の構成を示す。トレーニング信号(452)の区間は、適応アルゴリズム回路191に、一方では、スイッチ181から受信信号173が、また、他方スイッチ182からトレーニング信号172が inputsされる。適応アルゴリズム回路191では、これらの inputs信号からLMS, RLSアルゴリズム等の適応アルゴリズムを使用して、各クロックタイミング毎に4種類のインパルスレスポンスを推定する。

【0094】このとき、インパルスレスポンスメモリ回路111~114を使用することで、適応アルゴリズム回路191を、タイムシェアリングで使用して共有化する。インパルスレスポンス推定後、各インパルスレスポンスは、インパルスレスポンスメモリ回路111~114で、そのまま記憶される。切り替え回路193ではこれらのインパルスレスポンスメモリ中のデータを切り替えながら outputsする(174)。

【0095】すなわち、最初はインパルスレスポンスメモリ111中のデータ115~115-6、次はインパルスレスポンスメモリ112中のデータ116~116-6、次はインパルスレスポンスメモリ113中のデータ117~117-6、次はインパルスレスポンスメモリ114中のデータ118~118-6、そして戻ってインパルスレスポンスメモリ111中のデータ115~115-6というように繰り返して outputsする。

【0096】トレーニング終了時に、制御信号21が、インパルスレスポンス選択回路120に inputsされ175、この制御信号21に対応するインパルスレスポンスをインパルスレスポンスメモリ回路111~114から選択しタップ係数初期値として、スイッチ192に outputsする。スイッチ192はタップ係数初期値 inputsのタイミングだけI側、それ以後バースト終了時まではD側の入

力を選択する。

【0097】タップ係数初期値 inputs時は、最尤系列推定回路183にタップ係数初期値を outputsする(176)。それ以後は、適応アルゴリズム回路191に受信信号173と等化器出力172が inputsされ、適応アルゴリズムによりタップ係数の更新を行い、それを、スイッチ192を介して最尤系列推定回路183に outputsする。

【0098】

【発明の効果】以上説明したように、本発明の適応等化器では、考慮するクロックタイミングとフレームタイミングの中から、等化誤差の2乗和が最小となるクロックタイミングとフレームタイミングの組み合わせを選択するようにしているので、クロックタイミング誤差とフレームタイミング誤差による特性の劣化を防ぐことが出来る。

【0099】特に、等化器がDDFSEの場合には、等化誤差が小さく、MLSEのタップのエネルギーが大きいクロックタイミング及びフレームタイミングを選択するため、DDFSEに適したクロックタイミング及びフレームタイミングでの等化を行うことが可能である。

【0100】また、これらを求める時に、タイムシェアリングによって、回路を共有化することと、同一クロックタイミングで異なるフレームタイミングのレプリカを求める時に、トランスパサルフィルタを共有化することで、クロックタイミングとフレームタイミングとを検出することによる回路規模の増大を抑えることが可能である。

【0101】トレーニング中のインパルスレスポンスを求める時に、相関で求めた後、データ中に適応アルゴリズムに切り替えることで、多タップの場合に、インパルスレスポンス推定時間を短くすることが可能であり、また、インパルスレスポンスを適応アルゴリズムで求めて、トレーニング中とデータ中で適応アルゴリズム回路を共有化することによって、回路規模を減少せしめることが可能である。

【0102】また、本発明では、クロックタイミング同期・フレームタイミング同期・等化器トレーニングを同時に行えるため、これらのブリアンブルを共通にすることによって、伝送効率の低下を防ぐことが可能である。

【図面の簡単な説明】

【図1】本発明の適応等化器の原理的構成を示す図である。

【図2】本発明の第1の実施例の同期制御回路の構成図である。

【図3】本発明の第2の実施例の同期制御回路の構成図である。

【図4】本発明の第3の実施例の同期制御回路の構成図である。

【図5】本発明の第4の実施例の適応等化器の構成図である。

【図6】本発明の第4の実施例のインパルスレスポンス推定回路の構成図である。

【図7】本発明のレプリカ生成回路の構成図である。

【図8】本発明のレプリカ生成の原理を示す図である。

【図9】本発明の誤差信号計算回路の構成を示す図である。

【図10】送信バースト信号の構成図である。

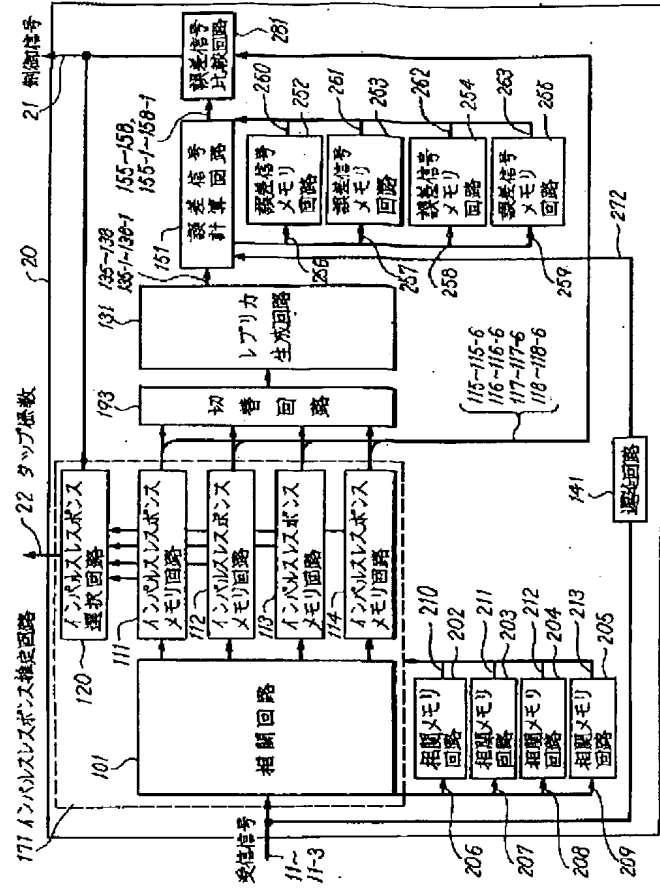
【図11】従来のクロックタイミング誤差補正機能付き等化器の構成図である。

【符号の説明】

10, 501	AD変換回路	161, 281	誤差信号比較回路
11~11-3	デジタル信号	171	インパルスレスポンス推定回路
20	同期制御回路	172	トレーニング信号
21	制御信号	173	受信信号
22	タップ係数初期値信号	174	インパルスレスポンスメモリ出力
30, 141~144, 311~316	遅延回路	176	タップ係数初期値
40, 502	選択回路	181, 182, 192	スイッチ
41, 511	選択信号	183	最尤系列推定回路
50, 503	等化回路	191	適応アルゴリズム回路
60, 505	入力端子	198	切替回路
70, 506	出力端子	202~205	相関メモリ回路
101~104	相関回路	206~209	相関メモリ入力信号
111~114	インパルスレスポンスメモリ回路	210~213	相関メモリ出力信号
115~115-6, 116~116-6, 117~117-6, 118~118-6	インパルスレスポンスデータ	252~255	誤差信号メモリ回路
120	インパルスレスポンス選択回路	256~259	誤差信号メモリ入力信号
131~134	レプリカ生成回路	260~263	誤差信号メモリ出力信号
135~138, 135-1~138-1	レプリカ	301	トレーニング記憶回路
141~144	遅延回路	321~327	トレーニング信号
145~148, 272, 401	遅延信号	331~337	乗算回路
151~154	誤差信号計算回路	351~357	乗算信号
155~158, 155-1~158-1	誤差信号	361	共通加算回路
		362	共通加算信号
		371, 372	部分加算回路
		411, 412	加算回路
		421, 422	2乗回路
		431, 432	積算回路
		451	バースト信号
		452	トレーニング信号
		453	データ信号
		504	制御回路
		512	等化信号
		513	等化誤差

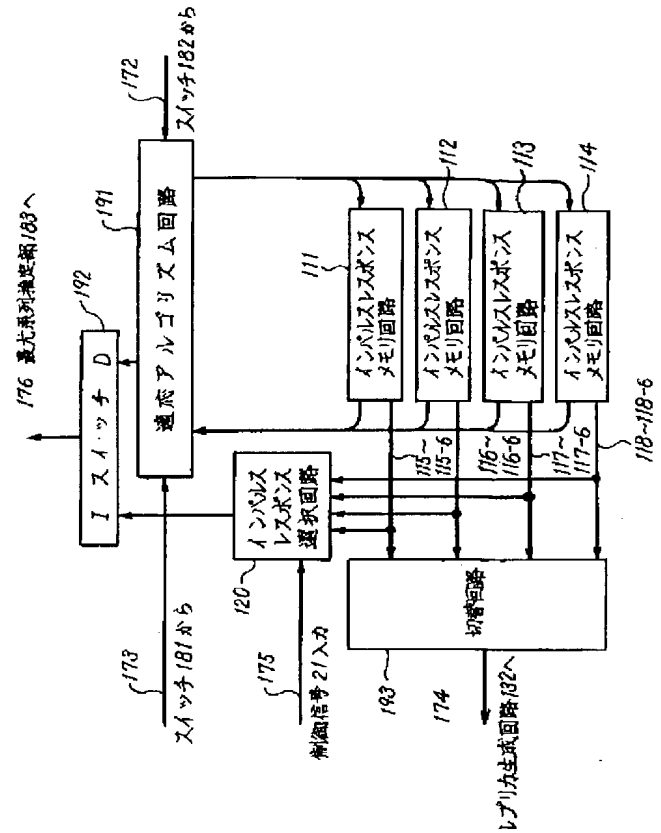
【図 4】

本発明の第3の実施例の同期制御回路の構成図



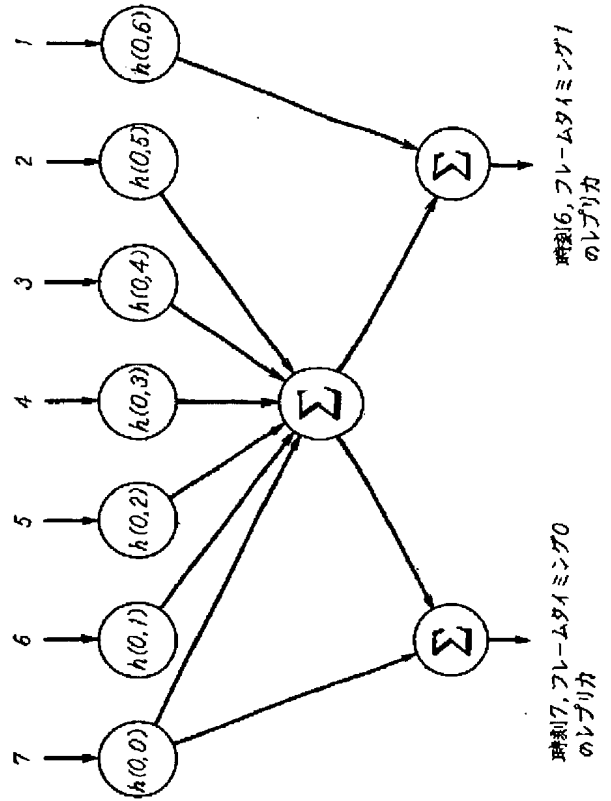
【図 6】

本発明の第4の実施例のインパルスレスポンス
推定回路の構成図



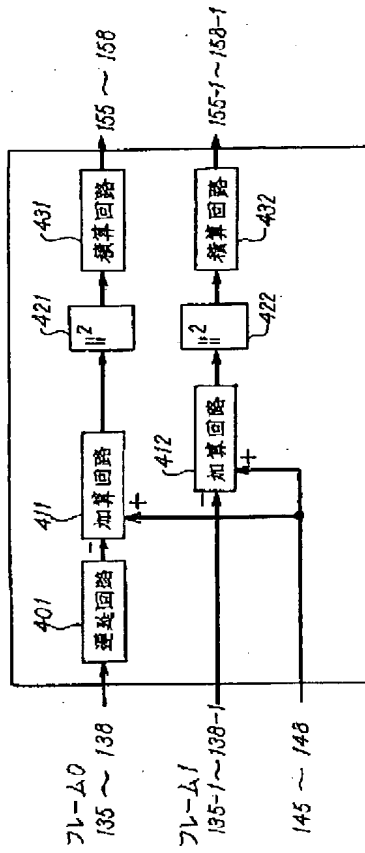
【图 8】

本発明のレプリカ生成の原理を示す図



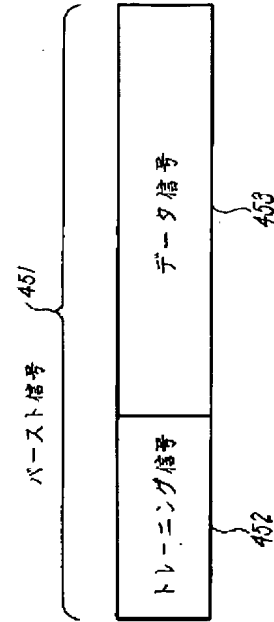
【図9】

本発明の誤差信号計算回路の構成を示す図



【図10】

送信バースト信号の構成図



【図11】

従来のクロックタイミング誤差補正機能付き
等化器の構成図

